



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10064995 A**(43) Date of publication of application: **06.03.98**

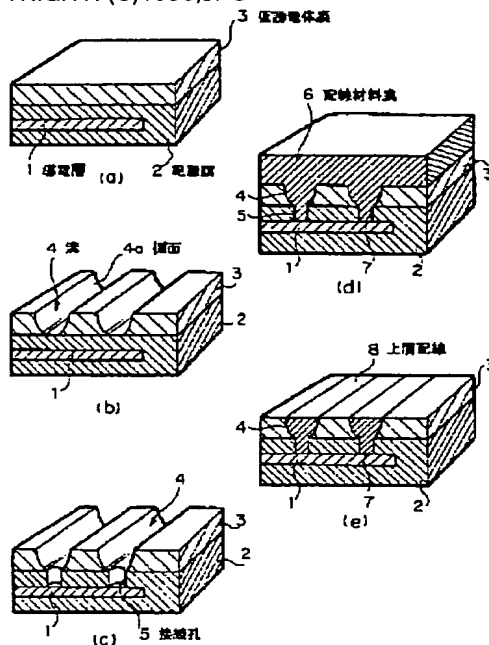
(51) Int. Cl

H01L 21/768(21) Application number: **08222034**(71) Applicant: **SONY CORP**(22) Date of filing: **23.08.96**(72) Inventor: **TATSUMI TETSUYA**(54) **MANUFACTURE OF SEMICONDUCTOR DEVICE** COPYRIGHT: (C)1998,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To obtain the multi-layer wiring in which a capacitance between wires is reduced without increasing the number of process stages.

SOLUTION: At first after a low dielectric constant film 3 whose dielectric constant is lower than that of an insulation film 2 is formed on the insulation film 2 in a state of covering a conductor layer 1, a groove 4 for forming a wire is formed to the low dielectric constant film 3 in a way that the groove width is made narrower from an upper part of the groove 4 toward the lower part. Then a connection hole 5 in communication with the groove 4 and reaching the conductor layer 1 is formed to the insulation film 2. Succeedingly a wiring material film 6 is formed on the low dielectric constant film 3, the inside of the connection hole 5 and of the groove 4. Then the wiring material film 6 on the low dielectric constant film 3 is removed while leaving the wiring material film 6 in a state of imbedding the inside of the groove 4 so as to obtain an upper layer wire 8.



(51) Int.Cl.⁸

H 0 1 L 21/768

識別記号

庁内整理番号

F I

H 0 1 L 21/90

技術表示箇所

A

審査請求 未請求 請求項の数 6 O L (全 10 頁)

(21) 出願番号 特願平8-222034

(22) 出願日 平成8年(1996) 8月23日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 辰巳 哲也

東京都品川区北品川6丁目7番35号 ソニー株式会社内

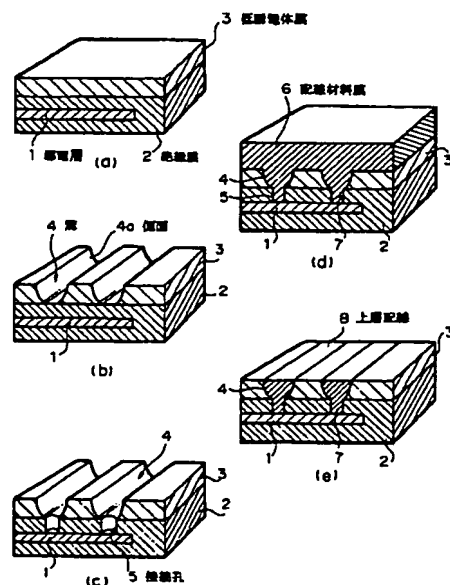
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 工程数を増加させることなく、配線間の容量の低減を図れる多層配線を得る。

【解決手段】 まず導電層1を覆う状態に形成した絶縁膜2上に、絶縁膜2よりも誘電率が低い低誘電体膜3を形成した後、低誘電体膜3に配線形成用の溝4を、溝4の上部から下部に向けて溝幅が狭くなるように形成する。次いで、溝4に連通するとともに導電層1に達する接続孔5を絶縁膜2に形成する。続いて低誘電体膜3上とともに、接続孔5の内部と溝4の内部とに配線材料膜6を形成する。そして溝4の内部を埋込む状態に配線材料膜6を残して低誘電体膜3上の配線材料膜6を除去して上層配線8を得る。



第1実施形態を工程順に示す説明図

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-064995

(43)Date of publication of application : 06.03.1998

(51)Int.Cl. H01L 21/768

(21)Application number : 08-222034

(71)Applicant : SONY CORP

(22)Date of filing : 23.08.1996

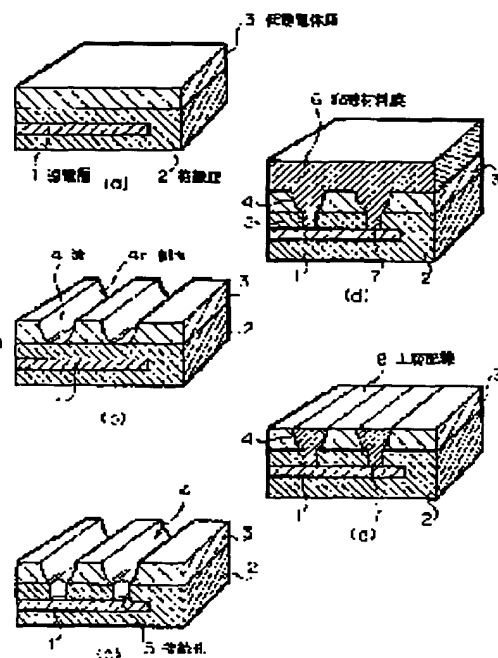
(72)Inventor : TATSUMI TETSUYA

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain the multi-layer wiring in which a capacitance between wires is reduced without increasing the number of process stages.

SOLUTION: At first after a low dielectric constant film 3 whose dielectric constant is lower than that of an insulation film 2 is formed on the insulation film 2 in a state of covering a conductor layer 1, a groove 4 for forming a wire is formed to the low dielectric constant film 3 in a way that the groove width is made narrower from an upper part of the groove 4 toward the lower part. Then a connection hole 5 in communication with the groove 4 and reaching the conductor layer 1 is formed on the low dielectric constant film 3, the inside of the connection hole 5 and of the groove 4. Then the wiring material film 6 is formed on the low dielectric constant film 3, the inside of the connection hole 5 and of the groove 4. Then the wiring material film 6 on the low dielectric constant film 3 is removed while leaving the wiring material film 6 in a state of imbedding the inside of the groove 4 so as to obtain an upper layer wire 8.



LEGAL STATUS

[Date of request for examination]

18.05.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(51) Int.Cl.⁶
H 0 1 L 21/768

識別記号 庁内整理番号

F I
H 0 1 L 21/90

技術表示箇所

A

審査請求 未請求 請求項の数6 O L (全 10 頁)

(21) 出願番号 特願平8-222034

(22) 出願日 平成8年(1996) 8月23日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 辰巳 哲也

東京都品川区北品川6丁目7番35号 ソニー株式会社内

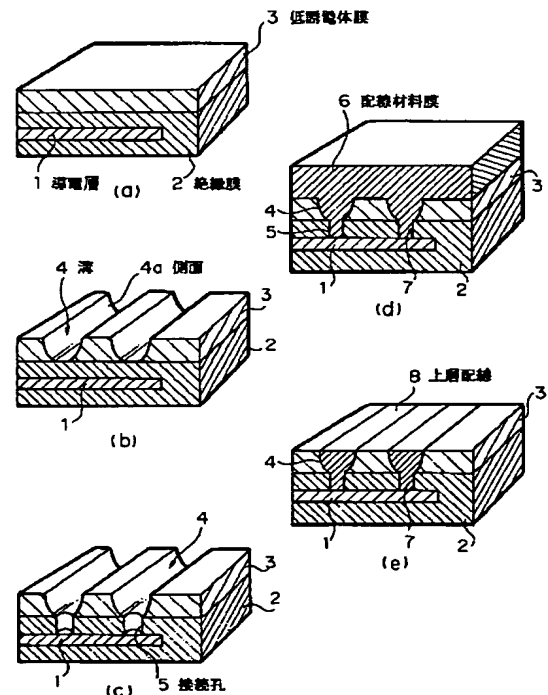
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 工程数を増加させることなく、配線間の容量の低減を図れる多層配線を得る。

【解決手段】 まず導電層1を覆う状態に形成した絶縁膜2上に、絶縁膜2よりも誘電率が低い低誘電体膜3を形成した後、低誘電体膜3に配線形成用の溝4を、溝4の上部から下部に向けて溝幅が狭くなるように形成する。次いで、溝4に連通するとともに導電層1に達する接続孔5を絶縁膜2に形成する。続いて低誘電体膜3上とともに、接続孔5の内部と溝4の内部とに配線材料膜6を形成する。そして溝4の内部を埋込む状態に配線材料膜6を残して低誘電体膜3上の配線材料膜6を除去して上層配線8を得る。



第1実施形態を工程順に示す説明図

【特許請求の範囲】

【請求項1】 導電層を覆う状態に形成した絶縁膜上に、該絶縁膜よりも誘電率が低い低誘電体膜を形成した後、該低誘電体膜に配線形成用の溝を、該溝の上部から下部に向けて溝幅が狭くなるように形成する第1工程と、
前記溝に連通するとともに前記導電層に達する接続孔を前記絶縁膜に形成する第2工程と、
前記低誘電体膜上とともに、前記接続孔の内部と前記溝の内部とに配線材料膜を形成する第3工程と前記接続孔の内部および前記溝の内部を埋込む状態に前記配線材料膜を残して前記低誘電体膜上の該配線材料膜を除去する第4工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 前記第1工程にて溝を形成する際には、該溝の側面を曲面状または平面状に形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 導電層を覆う状態に形成した絶縁膜上に、該絶縁膜よりも誘電率が低い低誘電体膜を形成した後、前記絶縁膜と前記低誘電体膜とに、前記導電層に達する孔を形成する第1工程と、
前記低誘電体膜に配線形成用の溝を、該溝の上部から下部に向けて溝幅が狭くなり、かつ前記絶縁膜と前記低誘電体膜との界面における前記孔の開口部を含むように形成する第2工程と、
前記低誘電体膜上とともに、前記絶縁膜に形成された孔からなる接続孔の内部と前記溝の内部とに配線材料膜を形成する第3工程と、
前記接続孔の内部および前記溝の内部を埋込む状態に前記配線材料膜を残して前記低誘電体膜上の該配線材料膜を除去する第4工程とを有することを特徴とする半導体装置の製造方法。

【請求項4】 前記第2工程にて溝を形成するには、該溝の側面を曲面状または平面状に形成することを特徴とする請求項3記載の半導体装置の製造方法。

【請求項5】 導電層を覆う状態に形成した絶縁膜上に、該絶縁膜よりも誘電率が低い低誘電体膜を形成した後、該低誘電体膜に配線形成用の溝を形成する際に、溝の底部に前記低誘電体膜を残して該溝を形成する第1工程と、
前記溝に連通するとともに前記導電層に達する接続孔を前記絶縁膜に形成する第2工程と、
前記低誘電体膜上とともに、前記接続孔の内部と前記溝の内部とに配線材料膜を形成する第3工程と、
前記接続孔の内部および前記溝の内部を埋込む状態に前記配線材料膜を残して前記低誘電体膜上の該配線材料膜を除去する第4工程とを有することを特徴とする半導体装置の製造方法。

【請求項6】 導電層を覆う状態に形成した絶縁膜上に、該絶縁膜よりも誘電率が低い低誘電体膜を形成した

後、前記絶縁膜と前記低誘電体膜とに、前記導電層に達する孔を形成する第1工程と、

前記低誘電体膜に配線形成用の溝を形成する際に、溝の底部に前記低誘電体膜を残し、かつ前記絶縁膜と前記低誘電体膜との界面における前記孔の開口部を含むように前記溝を形成する第2工程と、

前記低誘電体膜上とともに、前記絶縁膜に形成された孔からなる接続孔の内部と前記溝の内部とに配線材料膜を形成する第3工程と、

10 前記接続孔の内部および溝の内部を埋込む状態に前記配線材料膜を残して前記低誘電体膜上の該配線材料膜を除去する第4工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、特に多層配線を有する半導体装置の製造方法に関するものである。

【0002】

20 【従来の技術】ULSIの高集積化に伴い、微細加工技術への要求はますます厳しいものとなってきている。特に多層配線の採用が避けられない近年のデバイス構造では、配線上に形成された絶縁膜の平坦性を改善できるデュアルダマシン (Dual Damascene) 法をはじめとする埋込み配線技術の導入が求められている。

【0003】従来の埋込み配線技術では、例えば図8に示す埋込み配線を形成する場合、まず下層配線51を覆う状態に形成された第1絶縁膜52上に第2絶縁膜53を形成する。第1絶縁膜52は、例えば酸化シリコン (SiO_2) からなり、第2絶縁膜53は例えば SiO_2 よりも誘電率の低い低誘電体材料からなる。次いで、リソグラフィおよびエッチングによって、第2絶縁膜53に溝54を形成する。続いて第1絶縁膜52に、溝54に連通しかつ下層配線51に達する接続孔55を形成する。その後、第2絶縁膜53上に金属材料膜を形成するとともに、溝54の内部および接続孔55の内部に金属材料膜を形成する。そして溝54の内部を埋込む状態に配線材料膜を残して、第2絶縁膜53上の余分な配線材料膜を除去することにより、上層配線である埋込み配線56を形成する。

【0004】

【発明が解決しようとする課題】ところで、配線構造の多層化とともにパターンの微細化が進むことによって問題になるのが、配線容量の増大である。今後のデバイスにおいては、特に同一層 (レイヤ) の配線間の容量の増大が、デバイスの動作速度の遅延を引き起こし、消費電力を増大させる等、デバイス特性を左右する大きな要因になり得る。そこで図8に示すように、フッ素を含むシリコン系酸化物 (SiOF) や有機ポリマー等の低誘電体膜を配線間の絶縁膜に用いて配線間の容量の低減を図

【0015】

【発明の実施の形態】次に、本発明に係る半導体装置の製造方法を図面に基いて説明する。図1は請求項1および請求項2の発明の一実施形態である第1実施形態を工程順に示す図であり、特にこれらの発明の特徴である多層配線の形成工程を示したものである。

【0016】この方法では、まず図1(a)、(b)に示す第1工程を行う。すなわち、図1(a)に示すように、導電層1を覆う状態に形成した絶縁膜2上に、この絶縁膜2よりも誘電率が低い低誘電体膜3を形成する。導電層1は、例えばアルミニウム(A1)のような金属材料で形成された下層配線からなる。また絶縁膜2は、例えばSiO₂のような通常の絶縁材料からなる。また低誘電体膜3の形成は、例えばSiO₂ (誘電率 $\epsilon=4.0$)よりも低い材料を使用し、また塗布法、化学的気相成長法(以下、CVD法と記す)等の方法を用いて行われる。

【0017】例えば誘電率が4.0よりも低い低誘電体膜3としては、SiOF ($\epsilon=3.7\sim3.2$)、有機SOG (Spin on glass) ($\epsilon=3.5\sim3$)、図2の式〔1〕で示した構造を有するポリイミド系のポリマー ($\epsilon=3.5\sim3$)や、さらにフッ素を添加したポリイミド系のポリマー ($\epsilon\approx2.7$)からなる膜等が挙げられる。また、図2の式〔2〕で示した構造を有するポリテトラフルオロエチレン系のポリマー(例えばアモルファステフロン(商品名))や、図2の式〔3〕で示した構造を有するシクロポリマライズドフロリネーテッドポリマー(例えばサイトップ(商品名)) ($\epsilon=2.1$)、図3の式〔4〕で示した構造を有するベンゾシクロブテン(BCB) ($\epsilon\approx2.6$)、図3の式〔5〕で示した構造を有するフッ化ポリアリルエーテル系のポリマー ($\epsilon=2.6$)、フッ素が添加されたポリパラキシリレン ($\epsilon\approx2.4$)等からなる膜を低誘電体膜3として用いることもできる。なお、低誘電体膜3は、これらの例に限定されるものでなく、絶縁膜2よりも誘電率が低いものであればいかなるものを用いてもよい。

【0018】例えばSiO₂からなる絶縁膜2上に、図3の式〔5〕で示したフッ化ポリアリルエーテル系のポリマーからなる低誘電体膜3を形成する場合の一例を以下に示す。これは、スピコートを用いて絶縁膜2上にフッ化ポリアリルエーテル系のポリマーを塗布し、乾燥させた後、アニールして低誘電体膜3を形成する場合の条件である。

スピコートの回転数：3000rpm

乾燥条件：200℃、1分

アニール条件：400℃、1分

【0019】低誘電体膜3を形成した後は、次いでリソグラフィによって低誘電体膜3上にレジストパターンを形成する(図示略)。そして、このレジストパターンをマスクにしたエッチングによって、図1(b)に示すよ

うに、低誘電体膜3に配線形成用の溝4を形成する。この際、溝4の上部から下部に向けて溝幅が狭くなり、かつ、低誘電体膜3の上面によって溝4の底部が形成されるように溝4を形成する。また、溝4の側面4aを曲面状もしくは平面状に形成する。図1(b)では、溝4の側面4aを曲面状に形成したときの一例として、溝4を断面略半円形状に形成した場合を示してある。また溝4の側面4aを平面状に形成したときの一例としては、図4に示すようないわゆる逆テーパ形状に溝4を形成する場合が挙げられる。

【0020】このような溝4の形成には、例えば10Pa以上の比較的高い圧力下において、堆積性の生成物が生成されるようなプラズマを使用するドライエッチング方法や、ラジカルを用いる等方的なドライエッチング方法等を用いることができる。前者のドライエッチング方法は、比較的高い圧力でプラズマエッチングを行うことで、溝4の隅部付近へのイオン入射を制限するとともに、エッチング中に堆積性の生成物を生成させて、上部から下部に向けて溝幅が狭くなるように溝4を加工する方法である。堆積性の生成物が生成されるようなプラズマとしては、例えばフロロカーボン(CF_x)系のエッチングガスを用いて発生させたCF系プラズマが挙げられる。CF_x系のエッチングガスを用いる場合には、CとFとの組成比によって、溝4の形状をある程度制御することも可能である。

【0021】また後者の等方的なドライエッチングを用いる方法は、低誘電体膜3もしくはエッチングマスクとのラジカル反応を主体とすることにより、上部から下部に向けて溝幅が狭くなるように溝4を加工する方法である。例えば低誘電体膜3が炭素を含むポリマーからなる場合、炭素と燃焼反応する酸素をエッチング雰囲気中に導入して、酸素ラジカルからなる等方的なエッチング成分を増加させることにより溝4が上記のような形状に加工される。

【0022】以下に、比較的高い圧力でプラズマエッチングを行う方法によって、溝4を断面略半円形状に形成する場合の一例を示す。これは、マグネトロン型の反応性イオンエッチング(RIE)装置を用いる場合の条件である。

エッチングガスおよび流量：C₄F₈/Ar/O₂=50sccm/100sccm/20sccm[sccmは標準状態における体積流量(cm³/分)である]

雰囲気圧力：50Pa

RF電力：1.2kW

基板温度：30℃

溝4を形成した後は、レジストパターンからなるマスクを除去する。

【0023】次いでリソグラフィによって、低誘電体膜3上にレジストパターンを形成する(図示略)。そして、このレジストパターンをマスクにしたエッチングに

よって、図1(c)に示すように、絶縁膜2に接続孔5を形成する。このとき、溝4に連通しかつ導電層1に達するように接続孔5の形成を行う(第2工程)。その後、レジストパターンを除去する。

【0024】続いて図1(d)に示すように、例えばCVD法によって、低誘電体膜3上に配線材料膜6を形成するとともに、接続孔5の内部と溝4の内部とに配線材料膜6を形成する(第3工程)。ここでは、例えば接続孔5と溝4との内部を埋込むようにしてA1からなる配線材料膜6を形成する。接続孔5の内部に配線材料膜6を形成することによって、上層配線7と導電層1とを電気的に接続するコンタクト部7が形成される。配線材料膜6を形成するための材料には、上記A1に限定されることなく、導電性材料であればいずれの材料を用いることができる。一例として例えばCu、金属シリサイド等の金属材料が挙げられる。

【0025】そして図1(e)に示すように、溝4の内部を埋込む状態に配線材料膜6を残して、低誘電体膜3上の余分な配線材料膜6を除去する(第4工程)。その結果、溝4の内部に配線材料膜6が埋込まれてなる上層配線8が低誘電体膜3に形成される。配線材料膜6の除去方法には、例えば化学的機械研磨(CMP)法やエッチバック等を用いることができる。ここでは、A1からなる配線材料膜6をCMP法によって除去する。以上の工程によって、上層配線8が埋込み配線であり、かつ上層配線8と導電層1とがコンタクト部7を介して電気的に接続された多層配線が形成される。

【0026】上記した第1実施形態の方法では、上層配線8用の溝4をその上部から下部に向けて溝幅が狭くなるように形成するので、従来法によって形成された溝に比較して、溝4底部の幅が狭い溝4を得ることができる。つまり、従来法によって形成された断面略コ字状の溝の側面よりも、溝4の下部側にて溝4の内方に低誘電体膜3が入り込んだ状態で溝4を形成できる。この結果、溝4の内部に配線材料膜6を形成することにより、従来に比べて下部側の多くも低誘電体膜3で囲まれた上層配線8を形成できることから、上層配線8に信号を流した場合に、上層配線8下部からの電気力線の漏れを抑制でき、漏れた電気力線が上層配線8の下層に存在する絶縁膜2を横切ることを防止することができる。したがって、上層配線8と導電層1との間の容量が低減した多層配線を得ることができる。

【0027】また、溝4の側面4aを曲面状に形成することで、下部に角のない上層配線8を形成できるので、上層配線8からの電気力線が下部に集中することを防止することができる。そして、電気力線が集中することによる上層配線8の電気的信頼性の低下を防ぐことができる。さらにこの方法では、従来法での溝の形成と同じ様な工程数で溝4が形成されるため、従来法に比較して、全体の工程数を増加させることなく多層配線を形成する

ことができる。また従来の技術で溝4を容易に加工することができる、しかも溝4の加工以外の工程に、通常が多層配線加工のプロセスを採用することができるので、上記した方法は容易に実現できるといった効果も得られる。よって、第1実施形態に係る半導体装置の製造方法を用いれば、高集積化され、しかも高速で動作し、低消費電力である等、デバイス特性が良好な半導体装置を製造することができる。

【0028】次に、請求項3および請求項4の発明の一実施形態である第2実施形態を図5に基づいて説明する。なお、図5は、特にこれらの発明の特徴である多層配線の形成工程を示した図である。また図5において、第1実施形態と同一の形成要素には同一の符号を付して説明を省略する。第2実施形態においては、まず図5(a)、(b)に示す第1工程を行う。図5(a)に示す工程は、第1実施形態の図1(a)を用いて説明した工程と同様の工程である。すなわち、導電層1を覆う状態に形成した絶縁膜2上に、この絶縁膜2よりも誘電率が低い低誘電体膜3を形成する。

【0029】次いで、リソグラフィによって低誘電体膜3上にレジストパターンを形成する(図示略)。そして、このレジストパターンをマスクにしたエッチングによって、図5(b)に示すように、低誘電体膜3および絶縁膜2に導電層1に達する孔11を形成する。そして、レジストパターンからなるマスクを除去する。続いて図5(c)に示すように、低誘電体膜3に配線形成用の溝4を形成する(第2工程)。この際、絶縁膜2と低誘電体膜3との界面における孔11の開口部(図示略)を含むように溝4を形成して、絶縁膜2に形成された孔11からなりかつ溝4に連通する接続孔5を得る。また、溝4の上部から下部に向けて溝幅が狭くなるように溝4を加工する。その際、溝4の側面4aを曲面状もしくは平面状に形成する。図5(c)では、溝4の側面4aを曲面状に形成したときの一例として、溝4を断面略半円形状に形成した場合を示してある。

【0030】このような溝4の形成には、前述したように、比較的高い圧力下において、堆積性の生成物が生成されるようなプラズマを使用するドライエッチング方法や、ラジカルを用いる等方的なドライエッチング方法を用いることができる。エッチングにより溝4を加工した後は、レジストパターンからなるマスクを除去する。その後は、図5(d)、(e)に示すように、第1実施形態で説明した第3工程と第4工程とを順次行って、絶縁膜2にコンタクト部7を形成するとともに、溝4の内部に配線材料膜6が埋込まれてなる上層配線8を低誘電体膜3に形成する。

【0031】以上の工程によって、上層配線8が埋込み配線であり、かつ上層配線8と導電層1とがコンタクト部7を介して電気的に接続された多層配線が形成される。上記した第2実施形態の方法では、絶縁膜2と低誘

電体膜3との界面における孔11の開口部を含むように溝4を形成する。よって、この方法によっても、絶縁膜2に形成された孔11からなる接続孔5に連通する溝4を形成することができる。またこの方法でも、従来法と同じ工程数で多層配線を形成することができる。また、溝4の加工以外の工程に、通常が多層配線加工のプロセスを採用することができるので、容易に実現できるといった効果が得られる。

【0032】また第1実施形態と同様に、上層配線8用の溝4をその上部から下部に向けて溝幅が狭くなるように形成するので、上層配線8下部からの電気力線の漏れを抑制でき、上層配線8と導電層1との間の容量が低減した多層配線を得ることができる。また、溝4の側面4aを曲面状に形成することで、電気力線が集中することに起因する上層配線8の電気的信頼性の低下を防ぐことができる。したがって、第2実施形態に係る半導体装置の製造方法によっても、高集積化され、しかもデバイスの動作速度や消費電力等のデバイス特性の良好な半導体装置を製造することができる。

【0033】次に、請求項5の発明の一実施形態である第3実施形態を図6に基づいて説明する。なお、図6は特にこの発明の特徴である多層配線の形成工程を示した図である。また、この図において第1および第2実施形態と同一の形成要素には同一の符号を付して説明を省略する。第3実施形態においては、まず図6(a)、

(b)に示す第1工程を行う。図6(a)は、第1実施形態の図1(a)を用いて説明した工程と同様の工程であり、導電層1を覆う状態に形成した絶縁膜2上に、この絶縁膜2よりも誘電率が低い低誘電体膜3を形成する。

【0034】次いで、リソグラフィによって低誘電体膜3上にレジストパターンを形成する(図示略)。そして図6(b)に示すように、このレジストパターンをマスクにしたエッチングによって、低誘電体膜3に例えば断面略コ字状の配線形成用の溝21を形成する。この際、溝21の底部に低誘電体膜3を残すようにして溝21を形成する。このような溝21の形成には、通常の方性エッチング、例えばプラズマを使用するドライエッチング方法を用いることができる。またエッチングの際は、例えばエッチング時間を制御することにより、溝21を所定の深さに形成してその溝21の底部に低誘電体膜3を残すようにする。このエッチング時間は、予めエッチングレートを求め、求めたエッチングレートから算出することができる。

【0035】エッチング条件の一例を下記に示す。

エッチングガスおよび流量： C_4F_8 / CO / $Ar = 20$ sccm / 180 sccm / 10 sccm

雰囲気圧力： 1.0 Pa

RF電力： 1.2 kW

基板温度： $30^\circ C$

また、このエッチングでは、例えば溝21の深さが低誘電体膜3の厚みの約90%になった時点で処理を停止する。なお、溝21の形成では、溝21の深さを精度良く均一に形成することが重要である。これは、溝21の深さのばらつきがそのまま、溝21を用いて形成される後述する上層配線22の抵抗の変化となって現れる恐れがあるためである。こうして溝21を形成した後、レジストパターンからなるマスクを除去する。

【0036】次いでリソグラフィによって、低誘電体膜3上にレジストパターンを形成する(図示略)。そして、このレジストパターンをマスクにしたエッチングによって、図6(c)に示すように、絶縁膜2に接続孔5を形成する。このとき、溝21に連通しかつ導電層1に達するように接続孔5の形成を行う(第2工程)。その後、レジストパターンを除去する。そして、第1実施形態で説明した第3工程および第4工程と同様の処理を行う。すなわち、図6(d)に示すように、例えばCVD法によって低誘電体膜3上に配線材料膜6を形成するとともに、接続孔5の内部と溝21の内部とに配線材料膜6を形成することによって、コンタクト部7が形成される。

【0037】そして図6(e)に示すように、例えばCMP法により、溝21の内部を埋込む状態に配線材料膜6を残して低誘電体膜3上の余分な配線材料膜6を除去する(第4工程)。その結果、溝21の内部に配線材料膜6が埋込まれてなる上層配線22が低誘電体膜3に形成される。以上の工程によって、上層配線22が埋込み配線であり、かつ上層配線22と導電層1とがコンタクト部7を介して電気的に接続された多層配線が形成される。

【0038】上記した第3実施形態の方法では、溝21の底部に低誘電体膜3を残すように上層配線22用の溝21を形成する。このため、コンタクト部7との接続部分を除き、両側部および底部が低誘電体膜3で囲まれた上層配線22を形成することができる。よって、上層配線22に信号を流した場合に、上層配線22の底部からの電気力線が、上層配線22の下層に存在する絶縁膜2へと漏れて横切することを一層抑制することができるので、上層配線22と導電層1との間の容量がより低減した多層配線を得ることができる。

【0039】またこの方法でも、従来法に比較して、工程数を増加させることなく多層配線を形成することができる。さらに従来技術で溝21を容易に加工することができ、しかも溝21の加工以外の工程に、通常が多層配線加工のプロセスを採用することができるので、上記した方法は容易に実現可能であるといった効果も得られる。よって、第3実施形態に係る半導体装置の製造方法を用いれば、さらに高速で動作し、より消費電力が低い等、デバイス特性が一層良好な高集積の半導体装置を製

造することができる。

【0040】次に、請求項6の発明の一実施形態である第4実施形態を図7に基づいて説明する。なお、図7は、特にこの発明の特徴である多層配線の形成工程を示した図である。また図7において、第1実施形態～第3実施形態と同一の形成要素には同一の符号を付して説明を省略する。第4実施形態においては、まず図7

(a)、(b)に示すように、第2実施形態で説明した第1工程を行って、導電層1を覆う絶縁膜2上に、この絶縁膜2よりも誘電率が低い低誘電体膜3を形成し、低誘電体膜3および絶縁膜2に導電層1に達する孔11を形成する。

【0041】次いで、リソグラフィによって低誘電体膜3上にレジストパターンを形成する(図示略)。そして図7(c)に示すように、このレジストパターンをマスクにしたエッチングによって、低誘電体膜3に例えば断面略コ字状の配線形成用の溝21を形成する。この際、絶縁膜2と低誘電体膜3との界面における上記孔11の開口部(図示略)を含むように溝21を形成して、絶縁膜2の孔11からなりかつ溝21に連通する接続孔5を得る。また、溝21の底部に低誘電体膜3を残すようにして溝21を形成する(第2工程)。

【0042】このような溝21の形成には、第3実施形態で述べたように、例えばプラズマを使用するドライエッチング方法を用いることができる。またエッチングの際は、例えばエッチング時間を制御することにより、溝21を所定の深さに形成してその溝21の底部に低誘電体膜3を残すようにする。なお、前述したように、溝21の形成では溝21の深さを精度良く均一に形成することが重要である。こうして溝21を形成した後は、レジストパターンからなるマスクを除去する。

【0043】その後は、図7(d)、(e)に示すように、第3実施形態で説明した第3工程と第4工程とを順次行って、絶縁膜2にコンタクト部7を形成するとともに、溝21の内部に配線材料膜6が埋込まれてなる上層配線22を低誘電体膜3に形成する。以上の工程によって、上層配線22が埋込み配線であり、かつ上層配線22と導電層1とがコンタクト部7を介して電氣的に接続された多層配線が形成される。

【0044】上記した第4実施形態の方法では、絶縁膜2と低誘電体膜3との界面における孔11の開口部を含むように溝21を形成するので、この方法によっても、絶縁膜2に形成された孔11からなる接続孔5に連通する溝21を得ることができる。またこの方法でも、従来法と同じ工程数で多層配線を形成することができるとともに、溝21の加工以外の工程に、通常が多層配線加工のプロセスを採用することができるので、容易に実現できるといった効果が得られる。また第3実施形態と同様に、上層配線22用の溝21をその底部に低誘電体膜3が残るように形成するので、上層配線22底部からの電

気力線の漏れを一層抑制でき、上層配線22と導電層1との間の容量がより低減した多層配線を得ることができる。したがって、第4実施形態に係る半導体装置の製造方法によっても、デバイス特性が一層良好な高集積の半導体装置を製造することができる。

【0045】なお、第3実施形態および第4実施形態では、溝を断面略コ字状に形成した場合について述べたが、底部に低誘電体膜を残した状態で溝が形成されればよく、この例に限定されないのは言うまでもない。また第1実施形態～第4実施形態では導電層が配線である場合について述べたが、例えば基板に形成された拡散層であってもよい。また本発明は、第1実施形態～第4実施形態に限られるものでなく、本発明の主旨に反しない限り形状や加工条件等を適宜変更することが可能である。

【0046】

【発明の効果】以上説明したように請求項1の発明に係る半導体装置の製造方法によれば、上部から下部に向けて溝幅が狭くなるように溝を形成し、溝の内部に配線材料膜を形成して配線を得るので、この配線に信号を流した場合に、配線下部からの電気力線が配線の下層の絶縁膜へと漏れるのを大幅に抑制することができる。よって、配線と導電層との間の容量が低減した多層配線を得ることができる。また従来法での溝の形成と同じ様な工程数で上記溝を形成できるので、従来法に比較して、全体の工程数を増加させることなく多層配線を形成することができる。

【0047】請求項2の発明によれば、絶縁膜と低誘電体膜との界面における孔の開口部を含むように溝を形成するので、絶縁膜に形成された孔からなる接続孔に連通する溝を得ることができる。また請求項1の発明と同様に溝を形成することにより、下部からの電気力線の漏れが大幅に抑制された配線を形成できるとともに、従来法での溝の形成と同じ様な構成数でこの溝を形成できるので、請求項1と同様、全体の工程数を増加させることなく、配線と導電層との間の容量が低減した多層配線を得ることができる。

【0048】請求項5の発明によれば、溝の底部に低誘電体膜を残すように溝を形成し、溝の内部に配線材料膜を形成して配線を得るので、この配線に信号を流した場合に、配線下部からの電気力線が絶縁膜へと漏れるのを大幅に抑制することができる。よって、配線と導電層との間の容量が低減した多層配線を得ることができる。また従来法での溝の形成と同じ様な工程数で上記溝を形成できるので、従来法に比較して、全体の工程数を増加させることなく多層配線を形成することができる。

【0049】請求項6の発明では、絶縁膜と低誘電体膜との界面における孔の開口部を含むように溝を形成するので、絶縁膜に形成された孔からなる接続孔に連通する溝を得ることができる。また請求項5の発明と同様に溝を形成することにより、下部からの電気力線の漏れが大

幅に配線を形成できるとともに、従来法での溝の形成と同じ様な工程数でこの溝を形成できるので、請求項5と同様、全体の工程数を増加させることなく、配線と導電層との間の容量が低減した多層配線を得ることができる。したがって、請求項1、請求項3、請求項5および請求項6の発明を用いれば、高集積化され、しかも高速で動作し、低消費電力である等、デバイス特性が良好な半導体装置を工程数を増加させることなく製造することができる。

【図面の簡単な説明】

【図1】(a)～(e)は、本発明の第1実施形態を工程順に説明する図であり、請求項1および請求項2の発明の一実施形態を示す図である。

【図2】低誘電体膜の形成に用いる材料例を示す図(その1)である。

【図3】低誘電体膜の形成に用いる材料例を示す図(その2)である。

【図4】溝側面の他の形成例を示す図である。

【図5】(a)～(e)は、本発明の第2実施形態を工程順に説明する図であり、請求項3および請求項4の発明の一実施形態を示す図である。

【図6】(a)～(e)は、本発明の第3実施形態を工程順に説明する図であり、請求項5の発明の一実施形態を示す図である。

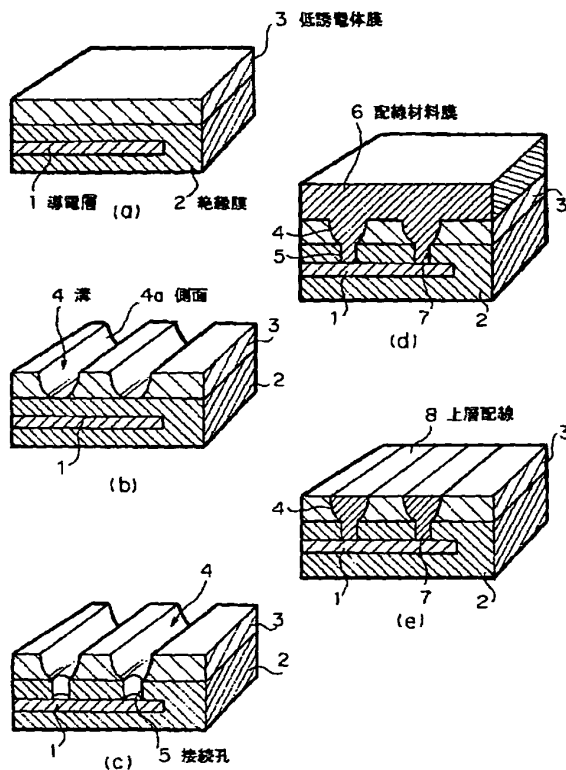
【図7】(a)～(e)は、本発明の第4実施形態を工程順に説明する図であり、請求項6の発明の一実施形態を示す図である。

【図8】従来法の一例を工程順に説明する図である。

【符号の説明】

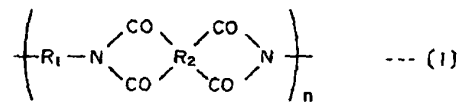
- 1 導電層 2 絶縁膜 3 低誘電体膜 4、
2 1 溝
4 a 側面 5 接続孔 6 配線材料膜 8、
2 2 上層配線
1 1 孔

【図1】

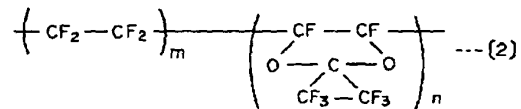


第1実施形態を工程順に示す説明図

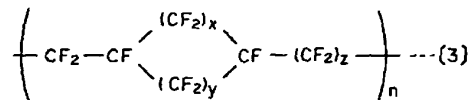
【図2】



(式中、R1、R2は芳香族化合物、nは正の整数を表す)



(式中、m、nは正の整数を表す)



(式中、x、y、zは正の整数、nは正の整数を表す)

低誘電体膜の材料例を示す図(その1)

る方法が提案されている。

【0005】しかしながら、最近の検討で、配線と配線との間のみに低誘電体膜を形成した場合には、容量低減の効果があまりないことが確認されている。またその理由は、略矩形の断面形状を有する配線の上下部分より電界（電気力線）の漏れが生じ、漏れた電界が、配線の upper 層、下層に存在する誘電率の高い SiO_2 の絶縁膜を横切するためであることが知見されている。この知見は、配線に信号を流して配線間の電気力線の様子をシミュレーションした結果から得られたものである。そして上記の知見から、低誘電体膜を用いて配線間の容量を低減させるには、配線全体を覆うようにして低誘電体膜を形成すればよく、またこうすることにより低容量化がはじめて実用レベルに達することがわかっている。

【0006】ところが、現実的には、従来の埋込み配線技術によって配線の上下にそれぞれ低誘電体膜を形成しようとする、工程数の増大を招くといった不具合が生じる。したがって、工程数を増加させることなく配線間の容量の低減を図ることができる技術の確立が求められている。

【0007】

【課題を解決するための手段】請求項1の発明に係る半導体装置の製造方法は、まず第1工程にて、導電層を覆う状態に形成した絶縁膜上に、この絶縁膜よりも誘電率が低い低誘電体膜を形成した後、低誘電体膜に配線形成用の溝を、その溝の上部から下部に向けて溝幅が狭くなるように形成する。次いで第2工程にて、溝に連通するとともに上記導電層に達する接続孔を絶縁膜に形成する。続いて第3工程にて、低誘電体膜上とともに、接続孔の内部と溝の内部とに配線材料膜を形成し、第4工程にて、接続孔の内部および溝の内部を埋込む状態に配線材料膜を残して低誘電体膜上の配線材料膜を除去する。

【0008】請求項1の発明では、上部から下部に向けて溝幅が狭くなるよう低誘電体膜に溝を形成するため、従来法によって形成された溝に比較して、低誘電体膜の上面により形成される溝底部の幅が狭い溝が得られる。つまり、溝の下部側において、従来法によって形成された溝の側面よりも、溝の内方に低誘電体膜が入り込んだ状態で溝が形成される。よって、溝の内部に配線材料膜を形成することにより、従来に比べて配線下部の多くも低誘電体膜で囲まれた配線が形成される。また溝の形成後に、この溝に連通しかつ導電層に達する接続孔を形成し、接続孔の内部にも配線材料膜を形成するため、配線と導電層とを電氣的に接続するコンタクト部も形成される。また、従来法での溝の形成と同じ様な工程数で上記溝が形成されるため、従来法に比較して、全体の工程数が増加しない。

【0009】請求項3の発明に係る半導体装置の製造方法は、第1工程にて、導電層を覆う状態に形成した絶縁膜上に、この絶縁膜よりも誘電率が低い低誘電体膜を形

成した後、絶縁膜と低誘電体膜とに、導電層に達する孔を形成する。次いで第2工程にて、低誘電体膜に配線形成用の溝を、その溝の上部から下部に向けて溝幅が狭くなり、かつ絶縁膜と低誘電体膜との界面における上記孔の開口部を含むように形成する。そして第3工程にて、低誘電体膜上とともに、絶縁膜に形成された孔からなる接続孔の内部と溝の内部とに配線材料膜を形成し、この後に請求項1の発明で述べた第4工程を行う。

【0010】請求項3の発明では、絶縁膜と低誘電体膜との界面における孔の開口部を含むように溝を形成するため、絶縁膜に形成した孔からなる接続孔に連通する溝が得られる。また、従来法での溝の形成と同じ様な工程数で溝が形成されるため、従来法に比較して、全体の工程数が増加しない。またこの発明でも、上部から下部に向けて溝幅が狭くなるように溝を形成するため、請求項1の発明と同様、従来に比べて配線下部の多くも低誘電体膜で囲まれた配線配線が形成される。

【0011】請求項5の発明に係る半導体装置の製造方法は、第1工程にて、導電層を覆う状態に形成した絶縁膜上に、その絶縁膜よりも誘電率が低い低誘電体膜を形成した後、低誘電体膜に配線形成用の溝を形成する際に、溝の底部に低誘電体膜を残してこの溝を形成する。そして請求項1の発明で述べた第2工程、第3工程および第4工程を行う。

【0012】請求項5の発明では、溝の底部に低誘電体膜を残すように溝を形成した後、溝の内部に配線材料膜を形成することから、接続孔の形成部分を除き、両側部および底部が低誘電体膜で囲まれた配線が形成される。また、従来法での溝の形成と同じ様な工程数で溝が形成されるため、従来法に比較して、全体の工程数が増加しない。

【0013】請求項6の発明に係る半導体装置の製造方法は、第1工程にて、導電層を覆う状態に形成した絶縁膜上に、この絶縁膜よりも誘電率が低い低誘電体膜を形成した後、絶縁膜と低誘電体膜とに、導電層に達する孔を形成する。次いで第2工程にて、低誘電体膜に配線形成用の溝を形成する際に、溝の底部に低誘電体膜を残し、かつ絶縁膜と低誘電体膜との界面における上記孔の開口部を含むように溝を形成する。そして請求項3の発明で述べた第3工程と第4工程とを行う。

【0014】請求項6の発明では、溝を形成する際、絶縁膜と低誘電体膜との界面における孔の開口部を含むように溝を形成するため、絶縁膜に形成した孔からなる接続孔に連通する溝が得られる。また、従来法での溝の形成と同じ様な工程数で溝が形成されるため、従来法に比較して、全体の工程数が増加しない。またこの発明でも、溝の底部に低誘電体膜を残すように溝を形成するため、請求項5の発明と同様、接続孔の形成部分を除き、両側部および底部が低誘電体膜で囲まれた配線が形成される。

る方法が提案されている。

【0005】しかしながら、最近の検討で、配線と配線との間のみに低誘電体膜を形成した場合には、容量低減の効果があまりないことが確認されている。またその理由は、略矩形の断面形状を有する配線の上下部分より電界（電気力線）の漏れが生じ、漏れた電界が、配線の上層、下層に存在する誘電率の高い SiO_2 の絶縁膜を横切るためであることが知見されている。この知見は、配線に信号を流して配線間の電気力線の様子をシミュレーションした結果から得られたものである。そして上記の知見から、低誘電体膜を用いて配線間の容量を低減させるには、配線全体を覆うようにして低誘電体膜を形成すればよく、またこうすることにより低容量化がはじめて実用レベルに達することがわかっている。

【0006】ところが、現実的には、従来の埋込み配線技術によって配線の上下にそれぞれ低誘電体膜を形成しようとすると、工程数の増大を招くといった不具合が生じる。したがって、工程数を増加させることなく配線間の容量の低減を図ることができる技術の確立が求められている。

【0007】

【課題を解決するための手段】請求項1の発明に係る半導体装置の製造方法は、まず第1工程にて、導電層を覆う状態に形成した絶縁膜上に、この絶縁膜よりも誘電率が低い低誘電体膜を形成した後、低誘電体膜に配線形成用の溝を、その溝の上部から下部に向けて溝幅が狭くなるように形成する。次いで第2工程にて、溝に連通するとともに上記導電層に達する接続孔を絶縁膜に形成する。続いて第3工程にて、低誘電体膜上とともに、接続孔の内部と溝の内部とに配線材料膜を形成し、第4工程にて、接続孔の内部および溝の内部を埋込む状態に配線材料膜を残して低誘電体膜上の配線材料膜を除去する。

【0008】請求項1の発明では、上部から下部に向けて溝幅が狭くなるよう低誘電体膜に溝を形成するため、従来法によって形成された溝に比較して、低誘電体膜の上面により形成される溝底部の幅が狭い溝が得られる。つまり、溝の下部側において、従来法によって形成された溝の側面よりも、溝の内方に低誘電体膜が入り込んだ状態で溝が形成される。よって、溝の内部に配線材料膜を形成することにより、従来に比べて配線下部の多くも低誘電体膜で囲まれた配線が形成される。また溝の形成後に、この溝に連通しかつ導電層に達する接続孔を形成し、接続孔の内部にも配線材料膜を形成するため、配線と導電層とを電気的に接続するコンタクト部も形成される。また、従来法での溝の形成と同じ様な工程数で上記溝が形成されるため、従来法に比較して、全体の工程数が増加しない。

【0009】請求項3の発明に係る半導体装置の製造方法は、第1工程にて、導電層を覆う状態に形成した絶縁膜上に、この絶縁膜よりも誘電率が低い低誘電体膜を形

成した後、絶縁膜と低誘電体膜とに、導電層に達する孔を形成する。次いで第2工程にて、低誘電体膜に配線形成用の溝を、その溝の上部から下部に向けて溝幅が狭くなり、かつ絶縁膜と低誘電体膜との界面における上記孔の開口部を含むように形成する。そして第3工程にて、低誘電体膜上とともに、絶縁膜に形成された孔からなる接続孔の内部と溝の内部とに配線材料膜を形成し、この後に請求項1の発明で述べた第4工程を行う。

【0010】請求項3の発明では、絶縁膜と低誘電体膜との界面における孔の開口部を含むように溝を形成するため、絶縁膜に形成した孔からなる接続孔に連通する溝が得られる。また、従来法での溝の形成と同じ様な工程数で溝が形成されるため、従来法に比較して、全体の工程数が増加しない。またこの発明でも、上部から下部に向けて溝幅が狭くなるように溝を形成するため、請求項1の発明と同様、従来に比べて配線下部の多くも低誘電体膜で囲まれた配線配線が形成される。

【0011】請求項5の発明に係る半導体装置の製造方法は、第1工程にて、導電層を覆う状態に形成した絶縁膜上に、その絶縁膜よりも誘電率が低い低誘電体膜を形成した後、低誘電体膜に配線形成用の溝を形成する際に、溝の底部に低誘電体膜を残してこの溝を形成する。そして請求項1の発明で述べた第2工程、第3工程および第4工程を行う。

【0012】請求項5の発明では、溝の底部に低誘電体膜を残すように溝を形成した後、溝の内部に配線材料膜を形成することから、接続孔の形成部分を除き、両側部および底部が低誘電体膜で囲まれた配線が形成される。また、従来法での溝の形成と同じ様な工程数で溝が形成されるため、従来法に比較して、全体の工程数が増加しない。

【0013】請求項6の発明に係る半導体装置の製造方法は、第1工程にて、導電層を覆う状態に形成した絶縁膜上に、この絶縁膜よりも誘電率が低い低誘電体膜を形成した後、絶縁膜と低誘電体膜とに、導電層に達する孔を形成する。次いで第2工程にて、低誘電体膜に配線形成用の溝を形成する際に、溝の底部に低誘電体膜を残し、かつ絶縁膜と低誘電体膜との界面における上記孔の開口部を含むように溝を形成する。そして請求項3の発明で述べた第3工程と第4工程とを行う。

【0014】請求項6の発明では、溝を形成する際、絶縁膜と低誘電体膜との界面における孔の開口部を含むように溝を形成するため、絶縁膜に形成した孔からなる接続孔に連通する溝が得られる。また、従来法での溝の形成と同じ様な工程数で溝が形成されるため、従来法に比較して、全体の工程数が増加しない。またこの発明でも、溝の底部に低誘電体膜を残すように溝を形成するため、請求項5の発明と同様、接続孔の形成部分を除き、両側部および底部が低誘電体膜で囲まれた配線が形成される。

【0015】

【発明の実施の形態】次に、本発明に係る半導体装置の製造方法を図面に基いて説明する。図1は請求項1および請求項2の発明の一実施形態である第1実施形態を工程順に示す図であり、特にこれらの発明の特徴である多層配線の形成工程を示したものである。

【0016】この方法では、まず図1(a)、(b)に示す第1工程を行う。すなわち、図1(a)に示すように、導電層1を覆う状態に形成した絶縁膜2上に、この絶縁膜2よりも誘電率が低い低誘電体膜3を形成する。導電層1は、例えばアルミニウム(A1)のような金属材料で形成された下層配線からなる。また絶縁膜2は、例えばSiO₂のような通常の絶縁材料からなる。また低誘電体膜3の形成は、例えばSiO₂ (誘電率 $\epsilon=4.0$)よりも低い材料を使用し、また塗布法、化学的气相成長法(以下、CVD法と記す)等の方法を用いて行われる。

【0017】例えば誘電率が4.0よりも低い低誘電体膜3としては、SiOF ($\epsilon=3.7\sim3.2$)、有機SOG (Spin on glass) ($\epsilon=3.5\sim3$)、図2の式【1】で示した構造を有するポリイミド系のポリマー ($\epsilon=3.5\sim3$) や、さらにフッ素を添加したポリイミド系のポリマー ($\epsilon=\text{約}2.7$) からなる膜等が挙げられる。また、図2の式【2】で示した構造を有するポリテトラフルオロエチレン系のポリマー【例えばアモルファステフロン(商品名)】や、図2の式【3】で示した構造を有するシクロポリマライズドフロリネーテッドポリマー【例えばサイトップ(商品名)】 ($\epsilon=2.1$)、図3の式【4】で示した構造を有するベンゾシクロブテン(BCB) ($\epsilon=\text{約}2.6$)、図3の式【5】で示した構造を有するフッ化ポリアリルエーテル系のポリマー ($\epsilon=2.6$)、フッ素が添加されたポリパラキシリレン ($\epsilon=\text{約}2.4$) 等からなる膜を低誘電体膜3として用いることもできる。なお、低誘電体膜3は、これらの例に限定されるものでなく、絶縁膜2よりも誘電率が低いものであればいかなるものを用いてもよい。

【0018】例えばSiO₂ からなる絶縁膜2上に、図3の式【5】で示したフッ化ポリアリルエーテル系のポリマーからなる低誘電体膜3を形成する場合の一例を以下に示す。これは、スピンコータを用いて絶縁膜2上にフッ化ポリアリルエーテル系のポリマーを塗布し、乾燥させた後、アニールして低誘電体膜3を形成する場合の条件である。

スピンコータの回転数: 3000rpm

乾燥条件: 200℃、1分

アニール条件: 400℃、1分

【0019】低誘電体膜3を形成した後は、次いでリソグラフィによって低誘電体膜3上にレジストパターンを形成する(図示略)。そして、このレジストパターンをマスクにしたエッチングによって、図1(b)に示すよ

うに、低誘電体膜3に配線形成用の溝4を形成する。この際、溝4の上部から下部に向けて溝幅が狭くなり、かつ、低誘電体膜3の上面によって溝4の底部が形成されるように溝4を形成する。また、溝4の側面4aを曲面状もしくは平面状に形成する。図1(b)では、溝4の側面4aを曲面状に形成したときの一例として、溝4を断面略半円形状に形成した場合を示してある。また溝4の側面4aを平面状に形成したときの一例としては、図4に示すようないわゆる逆テーパ形状に溝4を形成する場合が挙げられる。

【0020】このような溝4の形成には、例えば10Pa以上の比較的高い圧力下において、堆積性の生成物が生成されるようなプラズマを使用するドライエッチング方法や、ラジカルを用いる等方的なドライエッチング方法等を用いることができる。前者のドライエッチング方法は、比較的高い圧力下でプラズマエッチングを行うことで、溝4の隅部付近へのイオン入射を制限するとともに、エッチング中に堆積性の生成物を生成させて、上部から下部に向けて溝幅が狭くなるように溝4を加工する方法である。堆積性の生成物が生成されるようなプラズマとしては、例えばフロロカーボン(CF_x)系のエッチングガスを用いて発生させたCF系プラズマが挙げられる。CF_x系のエッチングガスを用いる場合には、CとFとの組成比によって、溝4の形状をある程度制御することも可能である。

【0021】また後者の等方的なドライエッチングを用いる方法は、低誘電体膜3もしくはエッチングマスクとのラジカル反応を主体とすることにより、上部から下部に向けて溝幅が狭くなるように溝4を加工する方法である。例えば低誘電体膜3が炭素を含むポリマーからなる場合、炭素と燃焼反応する酸素をエッチング雰囲気に導入して、酸素ラジカルからなる等方的なエッチング成分を増加させることにより溝4が上記のような形状に加工される。

【0022】以下に、比較的高い圧力下でプラズマエッチングを行う方法によって、溝4を断面略半円形状に形成する場合の一例を示す。これは、マグネトロン型の反応性イオンエッチング(RIE)装置を用いる場合の条件である。

エッチングガスおよび流量: C₄F₈/Ar/O₂=50sccm/100sccm/20sccm [sccmは標準状態における体積流量(cm³/分)である]

雰囲気圧力: 50Pa

RF電力: 1.2kW

基板温度: 30℃

溝4を形成した後は、レジストパターンからなるマスクを除去する。

【0023】次いでリソグラフィによって、低誘電体膜3上にレジストパターンを形成する(図示略)。そして、このレジストパターンをマスクにしたエッチングに

よって、図1(c)に示すように、絶縁膜2に接続孔5を形成する。このとき、溝4に連通しかつ導電層1に達するように接続孔5の形成を行う(第2工程)。その後、レジストパターンを除去する。

【0024】続いて図1(d)に示すように、例えばCVD法によって、低誘電体膜3上に配線材料膜6を形成するとともに、接続孔5の内部と溝4の内部とに配線材料膜6を形成する(第3工程)。ここでは、例えば接続孔5と溝4との内部を埋込むようにしてA1からなる配線材料膜6を形成する。接続孔5の内部に配線材料膜6を形成することによって、上層配線7と導電層1とを電氣的に接続するコンタクト部7が形成される。配線材料膜6を形成するための材料には、上記A1に限定されることなく、導電性材料であればいずれの材料を用いることができる。一例として例えばCu、金属シリサイド等の金属材料が挙げられる。

【0025】そして図1(e)に示すように、溝4の内部を埋込む状態に配線材料膜6を残して、低誘電体膜3上の余分な配線材料膜6を除去する(第4工程)。その結果、溝4の内部に配線材料膜6が埋込まれてなる上層配線8が低誘電体膜3に形成される。配線材料膜6の除去方法には、例えば化学的機械研磨(CMP)法やエッチバック等を用いることができる。ここでは、A1からなる配線材料膜6をCMP法によって除去する。以上の工程によって、上層配線8が埋込み配線であり、かつ上層配線8と導電層1とがコンタクト部7を介して電氣的に接続された多層配線が形成される。

【0026】上記した第1実施形態の方法では、上層配線8用の溝4をその上部から下部に向けて溝幅が狭くなるように形成するので、従来法によって形成された溝に比較して、溝4底部の幅が狭い溝4を得ることができる。つまり、従来法によって形成された断面略コ字状の溝の側面よりも、溝4の下部側にて溝4の内方に低誘電体膜3が入り込んだ状態で溝4を形成できる。この結果、溝4の内部に配線材料膜6を形成することにより、従来に比べて下部側の多くも低誘電体膜3で囲まれた上層配線8を形成できることから、上層配線8に信号を流した場合に、上層配線8下部からの電気力線の漏れを抑制でき、漏れた電気力線が上層配線8の下層に存在する絶縁膜2を横切ることを防止することができる。したがって、上層配線8と導電層1との間の容量が低減した多層配線を得ることができる。

【0027】また、溝4の側面4aを曲面状に形成することで、下部に角のない上層配線8を形成できるので、上層配線8からの電気力線が下部に集中することを防止することができる。そして、電気力線が集中することによる上層配線8の電氣的信頼性の低下を防ぐことができる。さらにこの方法では、従来法での溝の形成と同じ様な工程数で溝4が形成されるため、従来法に比較して、全体の工程数を増加させることなく多層配線を形成する

ことができる。また従来の技術で溝4を容易に加工することができ、しかも溝4の加工以外の工程に、通常が多層配線加工のプロセスを採用することができるので、上記した方法は容易に実現できるといった効果も得られる。よって、第1実施形態に係る半導体装置の製造方法を用いれば、高集積化され、しかも高速で動作し、低消費電力である等、デバイス特性が良好な半導体装置を製造することができる。

【0028】次に、請求項3および請求項4の発明の一実施形態である第2実施形態を図5に基づいて説明する。なお、図5は、特にこれらの発明の特徴である多層配線の形成工程を示した図である。また図5において、第1実施形態と同一の形成要素には同一の符号を付して説明を省略する。第2実施形態においては、まず図5(a)、(b)に示す第1工程を行う。図5(a)に示す工程は、第1実施形態の図1(a)を用いて説明した工程と同様の工程である。すなわち、導電層1を覆う状態に形成した絶縁膜2上に、この絶縁膜2よりも誘電率が低い低誘電体膜3を形成する。

【0029】次いで、リソグラフィによって低誘電体膜3上にレジストパターンを形成する(図示略)。そして、このレジストパターンをマスクにしたエッチングによって、図5(b)に示すように、低誘電体膜3および絶縁膜2に導電層1に達する孔11を形成する。そして、レジストパターンからなるマスクを除去する。続いて図5(c)に示すように、低誘電体膜3に配線形成用の溝4を形成する(第2工程)。この際、絶縁膜2と低誘電体膜3との界面における孔11の開口部(図示略)を含むように溝4を形成して、絶縁膜2に形成された孔11からなりかつ溝4に連通する接続孔5を得る。また、溝4の上部から下部に向けて溝幅が狭くなるように溝4を加工する。その際、溝4の側面4aを曲面状もしくは平面状に形成する。図5(c)では、溝4の側面4aを曲面状に形成したときの一例として、溝4を断面略半円形状に形成した場合を示してある。

【0030】このような溝4の形成には、前述したように、比較的高い圧力下において、堆積性の生成物が生成されるようなプラズマを使用するドライエッチング方法や、ラジカルを用いる等方的なドライエッチング方法を用いることができる。エッチングにより溝4を加工した後、レジストパターンからなるマスクを除去する。その後は、図5(d)、(e)に示すように、第1実施形態で説明した第3工程と第4工程とを順次行って、絶縁膜2にコンタクト部7を形成するとともに、溝4の内部に配線材料膜6が埋込まれてなる上層配線8を低誘電体膜3に形成する。

【0031】以上の工程によって、上層配線8が埋込み配線であり、かつ上層配線8と導電層1とがコンタクト部7を介して電氣的に接続された多層配線が形成される。上記した第2実施形態の方法では、絶縁膜2と低誘

電体膜3との界面における孔11の開口部を含むように溝4を形成する。よって、この方法によっても、絶縁膜2に形成された孔11からなる接続孔5に連通する溝4を形成することができる。またこの方法でも、従来法と同じ工程数で多層配線を形成することができる。また、溝4の加工以外の工程に、通常多層配線加工のプロセスを採用することができるので、容易に実現できるといった効果が得られる。

【0032】また第1実施形態と同様に、上層配線8用の溝4をその上部から下部に向けて溝幅が狭くなるように形成するので、上層配線8下部からの電気力線の漏れを抑制でき、上層配線8と導電層1との間の容量が低減した多層配線を得ることができる。また、溝4の側面4aを曲面状に形成することで、電気力線が集中することにより起因する上層配線8の電気的信頼性の低下を防ぐことができる。したがって、第2実施形態に係る半導体装置の製造方法によっても、高集積化され、しかもデバイスの動作速度や消費電力等のデバイス特性の良好な半導体装置を製造することができる。

【0033】次に、請求項5の発明の一実施形態である第3実施形態を図6に基づいて説明する。なお、図6は特にこの発明の特徴である多層配線の形成工程を示した図である。また、この図において第1および第2実施形態と同一の形成要素には同一の符号を付して説明を省略する。第3実施形態においては、まず図6(a)、

(b)に示す第1工程を行う。図6(a)は、第1実施形態の図1(a)を用いて説明した工程と同様の工程であり、導電層1を覆う状態に形成した絶縁膜2上に、この絶縁膜2よりも誘電率が低い低誘電体膜3を形成する。

【0034】次いで、リソグラフィによって低誘電体膜3上にレジストパターンを形成する(図示略)。そして図6(b)に示すように、このレジストパターンをマスクにしたエッチングによって、低誘電体膜3に例えば断面略コ字状の配線形成用の溝21を形成する。この際、溝21の底部に低誘電体膜3を残すようにして溝21を形成する。このような溝21の形成には、通常の異方性エッチング、例えばプラズマを使用するドライエッチング方法を用いることができる。またエッチングの際は、例えばエッチング時間を制御することにより、溝21を所定の深さに形成してその溝21の底部に低誘電体膜3を残すようにする。このエッチング時間は、予めエッチングレートを求め、求めたエッチングレートから算出することができる。

【0035】エッチング条件の一例を下記に示す。
エッチングガスおよび流量: $C_4F_8 / CO / Ar = 20\text{ sccm} / 180\text{ sccm} / 10\text{ sccm}$
雰囲気圧力: 1.0 Pa
RF電力: 1.2 kW
基板温度: 30℃

また、このエッチングでは、例えば溝21の深さが低誘電体膜3の厚みの約90%になった時点で処理を停止する。なお、溝21の形成では、溝21の深さを精度良く均一に形成することが重要である。これは、溝21の深さのばらつきがそのまま、溝21を用いて形成される後述する上層配線22の抵抗の変化となって現れる恐れがあるためである。こうして溝21を形成した後は、レジストパターンからなるマスクを除去する。

【0036】次いでリソグラフィによって、低誘電体膜3上にレジストパターンを形成する(図示略)。そして、このレジストパターンをマスクにしたエッチングによって、図6(c)に示すように、絶縁膜2に接続孔5を形成する。このとき、溝21に連通しかつ導電層1に達するように接続孔5の形成を行う(第2工程)。その後、レジストパターンを除去する。そして、第1実施形態で説明した第3工程および第4工程と同様の処理を行う。すなわち、図6(d)に示すように、例えばCVD法によって低誘電体膜3上に配線材料膜6を形成するとともに、接続孔5の内部と溝21の内部とに配線材料膜6を形成する(第3工程)。接続孔5の内部に配線材料膜6を形成することによって、コンタクト部7が形成される。

【0037】そして図6(e)に示すように、例えばCMP法により、溝21の内部を埋込む状態に配線材料膜6を残して低誘電体膜3上の余分な配線材料膜6を除去する(第4工程)。その結果、溝21の内部に配線材料膜6が埋込まれてなる上層配線22が低誘電体膜3に形成される。以上の工程によって、上層配線22が埋込み配線であり、かつ上層配線22と導電層1とがコンタクト部7を介して電気的に接続された多層配線が形成される。

【0038】上記した第3実施形態の方法では、溝21の底部に低誘電体膜3を残すように上層配線22用の溝21を形成する。このため、コンタクト部7との接続部分を除き、両側部および底部が低誘電体膜3で囲まれた上層配線22を形成することができる。よって、上層配線22に信号を流した場合に、上層配線22の底部からの電気力線が、上層配線22の下層に存在する絶縁膜2へと漏れて横切することを一層抑制することができるので、上層配線22と導電層1との間の容量がより低減した多層配線を得ることができる。

【0039】またこの方法でも、従来法に比較して、工程数を増加させることなく多層配線を形成することができる。さらに従来の技術で溝21を容易に加工することができ、しかも溝21の加工以外の工程に、通常多層配線加工のプロセスを採用することができるので、上記した方法は容易に実現可能であるといった効果も得られる。よって、第3実施形態に係る半導体装置の製造方法を用いれば、さらに高速で動作し、より消費電力が低い等、デバイス特性が一層良好な高集積の半導体装置を製

造することができる。

【0040】次に、請求項6の発明の一実施形態である第4実施形態を図7に基づいて説明する。なお、図7は、特にこの発明の特徴である多層配線の形成工程を示した図である。また図7において、第1実施形態～第3実施形態と同一の形成要素には同一の符号を付して説明を省略する。第4実施形態においては、まず図7

(a)、(b)に示すように、第2実施形態で説明した第1工程を行って、導電層1を覆う絶縁膜2上に、この絶縁膜2よりも誘電率が低い低誘電体膜3を形成し、低誘電体膜3および絶縁膜2に導電層1に達する孔11を形成する。

【0041】次いで、リソグラフィによって低誘電体膜3上にレジストパターンを形成する(図示略)。そして図7(c)に示すように、このレジストパターンをマスクにしたエッチングによって、低誘電体膜3に例えば断面略コ字状の配線形成用の溝21を形成する。この際、絶縁膜2と低誘電体膜3との界面における上記孔11の開口部(図示略)を含むように溝21を形成して、絶縁膜2の孔11からなりかつ溝21に連通する接続孔5を得る。また、溝21の底部に低誘電体膜3を残すようにして溝21を形成する(第2工程)。

【0042】このような溝21の形成には、第3実施形態で述べたように、例えばプラズマを使用するドライエッチング方法を用いることができる。またエッチングの際は、例えばエッチング時間を制御することにより、溝21を所定の深さに形成してその溝21の底部に低誘電体膜3を残すようにする。なお、前述したように、溝21の形成では溝21の深さを精度良く均一に形成することが重要である。こうして溝21を形成した後は、レジストパターンからなるマスクを除去する。

【0043】その後は、図7(d)、(e)に示すように、第3実施形態で説明した第3工程と第4工程とを順次行って、絶縁膜2にコンタクト部7を形成するとともに、溝21の内部に配線材料膜6が埋込まれてなる上層配線22を低誘電体膜3に形成する。以上の工程によって、上層配線22が埋込み配線であり、かつ上層配線22と導電層1とがコンタクト部7を介して電氣的に接続された多層配線が形成される。

【0044】上記した第4実施形態の方法では、絶縁膜2と低誘電体膜3との界面における孔11の開口部を含むように溝21を形成するので、この方法によっても、絶縁膜2に形成された孔11からなる接続孔5に連通する溝21を得ることができる。またこの方法でも、従来法と同じ工程数で多層配線を形成することができるとともに、溝21の加工以外の工程に、通常多層配線加工のプロセスを採用することができるので、容易に実現できるといった効果が得られる。また第3実施形態と同様に、上層配線22用の溝21をその底部に低誘電体膜3が残るように形成するので、上層配線22底部からの電

気力線の漏れを一層抑制でき、上層配線22と導電層1との間の容量がより低減した多層配線を得ることができる。したがって、第4実施形態に係る半導体装置の製造方法によっても、デバイス特性が一層良好な高集積の半導体装置を製造することができる。

【0045】なお、第3実施形態および第4実施形態では、溝を断面略コ字状に形成した場合について述べたが、底部に低誘電体膜を残した状態で溝が形成されればよく、この例に限定されないのは言うまでもない。また第1実施形態～第4実施形態では導電層が配線である場合について述べたが、例えば基板に形成された拡散層であってもよい。また本発明は、第1実施形態～第4実施形態に限られるものでなく、本発明の主旨に反しない限り形状や加工条件等を適宜変更することが可能である。

【0046】

【発明の効果】以上説明したように請求項1の発明に係る半導体装置の製造方法によれば、上部から下部に向けて溝幅が狭くなるように溝を形成し、溝の内部に配線材料膜を形成して配線を得るので、この配線に信号を流した場合に、配線下部からの電気力線が配線の下層の絶縁膜へと漏れるのを大幅に抑制することができる。よって、配線と導電層との間の容量が低減した多層配線を得ることができる。また従来法での溝の形成と同じ様な工程数で上記溝を形成できるので、従来法に比較して、全体の工程数を増加させることなく多層配線を形成することができる。

【0047】請求項2の発明によれば、絶縁膜と低誘電体膜との界面における孔の開口部を含むように溝を形成するので、絶縁膜に形成された孔からなる接続孔に連通する溝を得ることができる。また請求項1の発明と同様に溝を形成することにより、下部からの電気力線の漏れが大幅に抑制された配線を形成できるとともに、従来法での溝の形成と同じ様な構成数でこの溝を形成できるので、請求項1と同様に、全体の工程数を増加させることなく、配線と導電層との間の容量が低減した多層配線を得ることができる。

【0048】請求項5の発明によれば、溝の底部に低誘電体膜を残すように溝を形成し、溝の内部に配線材料膜を形成して配線を得るので、この配線に信号を流した場合に、配線下部からの電気力線が絶縁膜へと漏れるのを大幅に抑制することができる。よって、配線と導電層との間の容量が低減した多層配線を得ることができる。また従来法での溝の形成と同じ様な工程数で上記溝を形成できるので、従来法に比較して、全体の工程数を増加させることなく多層配線を形成することができる。

【0049】請求項6の発明では、絶縁膜と低誘電体膜との界面における孔の開口部を含むように溝を形成するので、絶縁膜に形成された孔からなる接続孔に連通する溝を得ることができる。また請求項5の発明と同様に溝を形成することにより、下部からの電気力線の漏れが大

10

20

30

40

50

幅に配線を形成できるとともに、従来法での溝の形成と同じ様な工程数でこの溝を形成できるので、請求項5と同様、全体の工程数を増加させることなく、配線と導電層との間の容量が低減した多層配線を得ることができる。したがって、請求項1、請求項3、請求項5および請求項6の発明を用いれば、高集積化され、しかも高速で動作し、低消費電力である等、デバイス特性が良好な半導体装置を工程数を増加させることなく製造することができる。

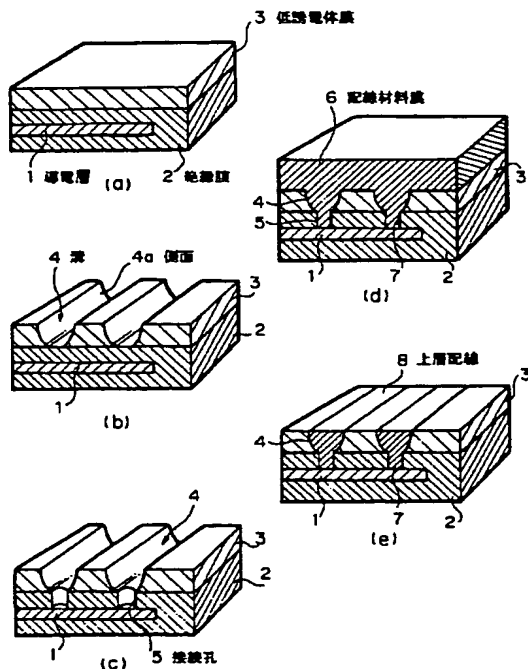
【図面の簡単な説明】

【図1】(a)～(e)は、本発明の第1実施形態を工程順に説明する図であり、請求項1および請求項2の発明の一実施形態を示す図である。

【図2】低誘電体膜の形成に用いる材料例を示す図(その1)である。

【図3】低誘電体膜の形成に用いる材料例を示す図(その2)である。

【図1】



第1実施形態を工程順に示す説明図

【図4】溝側面の他の形成例を示す図である。

【図5】(a)～(e)は、本発明の第2実施形態を工程順に説明する図であり、請求項3および請求項4の発明の一実施形態を示す図である。

【図6】(a)～(e)は、本発明の第3実施形態を工程順に説明する図であり、請求項5の発明の一実施形態を示す図である。

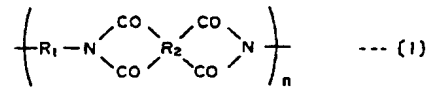
【図7】(a)～(e)は、本発明の第4実施形態を工程順に説明する図であり、請求項6の発明の一実施形態を示す図である。

【図8】従来法の一例を工程順に説明する図である。

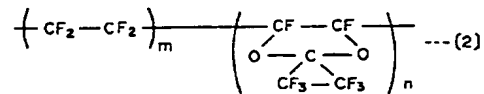
【符号の説明】

- 1 導電層 2 絶縁膜 3 低誘電体膜 4、
2 1 溝
4 a 側面 5 接続孔 6 配線材料膜 8、
2 2 上層配線
1 1 孔

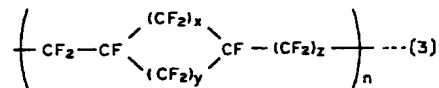
【図2】



(式中、R1、R2は芳香族化合物、nは正の整数を表す)



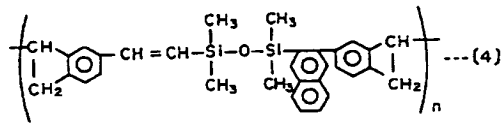
(式中、m、nは正の整数を表す)



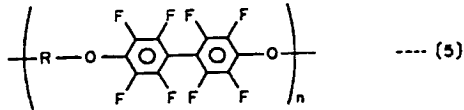
(式中、x、y、zは正の整数、nは正の整数を表す)

低誘電体膜の材料例を示す図(その1)

【図3】



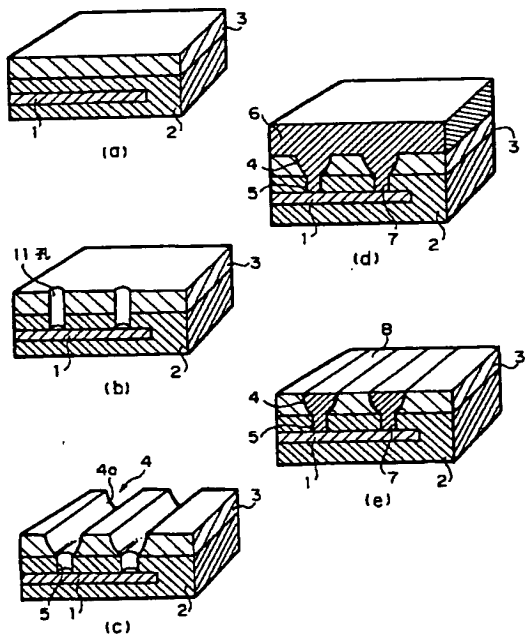
(式中、nは正の整数を表す)



(式中、Rはアルキル基、nは正の整数を表す)

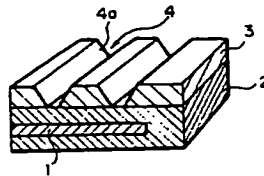
低誘電体膜の材料例を示す図(その2)

【図5】



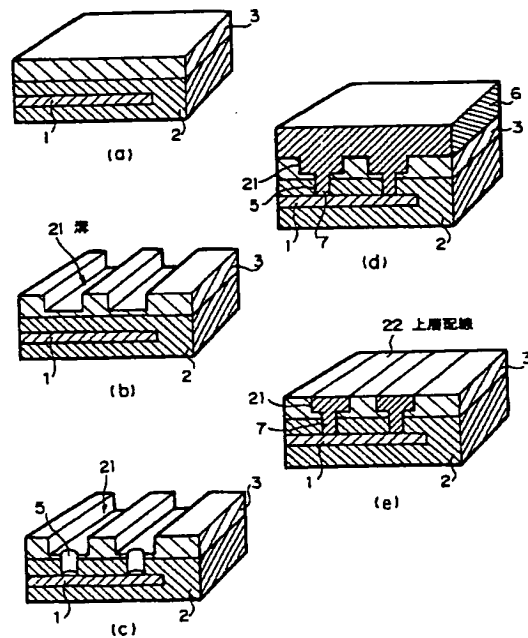
第2実施形態を工程順に示す説明図

【図4】



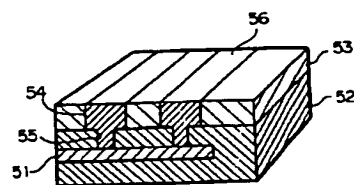
溝側面他の形成例を示す図

【図6】



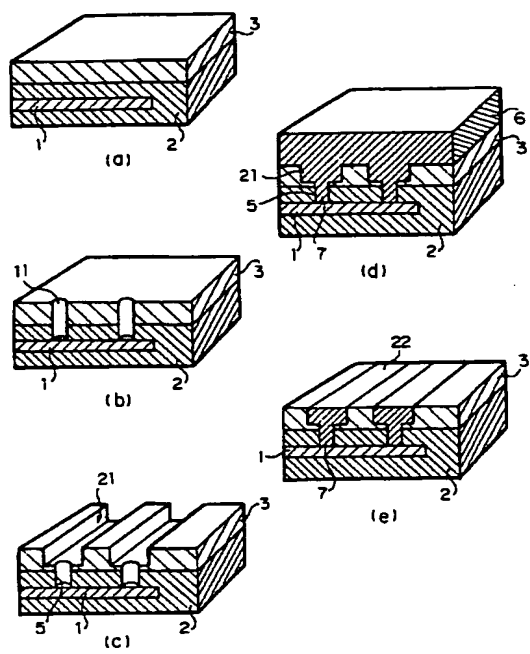
第3実施形態を工程順に示す説明図

【図8】



従来法の説明図

【図7】



第4実施形態を工程順に示す説明図

【特許請求の範囲】

【請求項1】 導電層を覆う状態に形成した絶縁膜上に、該絶縁膜よりも誘電率が低い低誘電体膜を形成した後、該低誘電体膜に配線形成用の溝を、該溝の上部から下部に向けて溝幅が狭くなるように形成する第1工程と、
前記溝に連通するとともに前記導電層に達する接続孔を前記絶縁膜に形成する第2工程と、
前記低誘電体膜上とともに、前記接続孔の内部と前記溝の内部とに配線材料膜を形成する第3工程と前記接続孔の内部および前記溝の内部を埋込む状態に前記配線材料膜を残して前記低誘電体膜上の該配線材料膜を除去する第4工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 前記第1工程にて溝を形成する際には、該溝の側面を曲面状または平面状に形成することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 導電層を覆う状態に形成した絶縁膜上に、該絶縁膜よりも誘電率が低い低誘電体膜を形成した後、前記絶縁膜と前記低誘電体膜とに、前記導電層に達する孔を形成する第1工程と、
前記低誘電体膜に配線形成用の溝を、該溝の上部から下部に向けて溝幅が狭くなり、かつ前記絶縁膜と前記低誘電体膜との界面における前記孔の開口部を含むように形成する第2工程と、
前記低誘電体膜上とともに、前記絶縁膜に形成された孔からなる接続孔の内部と前記溝の内部とに配線材料膜を形成する第3工程と、
前記接続孔の内部および前記溝の内部を埋込む状態に前記配線材料膜を残して前記低誘電体膜上の該配線材料膜を除去する第4工程とを有することを特徴とする半導体装置の製造方法。

【請求項4】 前記第2工程にて溝を形成するには、該溝の側面を曲面状または平面状に形成することを特徴とする請求項3記載の半導体装置の製造方法。

【請求項5】 導電層を覆う状態に形成した絶縁膜上に、該絶縁膜よりも誘電率が低い低誘電体膜を形成した後、該低誘電体膜に配線形成用の溝を形成する際に、溝の底部に前記低誘電体膜を残して該溝を形成する第1工程と、
前記溝に連通するとともに前記導電層に達する接続孔を前記絶縁膜に形成する第2工程と、
前記低誘電体膜上とともに、前記接続孔の内部と前記溝の内部とに配線材料膜を形成する第3工程と、
前記接続孔の内部および前記溝の内部を埋込む状態に前記配線材料膜を残して前記低誘電体膜上の該配線材料膜を除去する第4工程とを有することを特徴とする半導体装置の製造方法。

【請求項6】 導電層を覆う状態に形成した絶縁膜上に、該絶縁膜よりも誘電率が低い低誘電体膜を形成した

後、前記絶縁膜と前記低誘電体膜とに、前記導電層に達する孔を形成する第1工程と、

前記低誘電体膜に配線形成用の溝を形成する際に、溝の底部に前記低誘電体膜を残し、かつ前記絶縁膜と前記低誘電体膜との界面における前記孔の開口部を含むように前記溝を形成する第2工程と、

前記低誘電体膜上とともに、前記絶縁膜に形成された孔からなる接続孔の内部と前記溝の内部とに配線材料膜を形成する第3工程と、

前記接続孔の内部および溝の内部を埋込む状態に前記配線材料膜を残して前記低誘電体膜上の該配線材料膜を除去する第4工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、特に多層配線を有する半導体装置の製造方法に関するものである。

【0002】

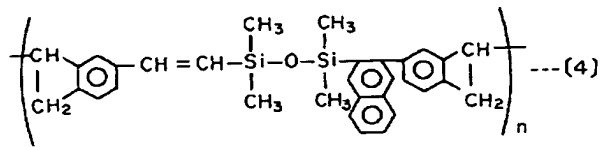
【従来の技術】ULSIの高集積化に伴い、微細加工技術への要求はますます厳しいものとなってきた。特に多層配線の採用が避けられない近年のデバイス構造では、配線上に形成された絶縁膜の平坦性を改善できるデュアルダマシン（Dual Damascene）法をはじめとする埋込み配線技術の導入が求められている。

【0003】従来の埋込み配線技術では、例えば図8に示す埋込み配線を形成する場合、まず下層配線51を覆う状態に形成された第1絶縁膜52上に第2絶縁膜53を形成する。第1絶縁膜52は、例えば酸化シリコン（ SiO_2 ）からなり、第2絶縁膜53は例えば SiO_2 よりも誘電率の低い低誘電体材料からなる。次いで、リソグラフィおよびエッチングによって、第2絶縁膜53に溝54を形成する。続いて第1絶縁膜52に、溝54に連通しかつ下層配線51に達する接続孔55を形成する。その後、第2絶縁膜53上に金属材料膜を形成するとともに、溝54の内部および接続孔55の内部に金属材料膜を形成する。そして溝54の内部を埋込む状態に配線材料膜を残して、第2絶縁膜53上の余分な配線材料膜を除去することにより、上層配線である埋込み配線56を形成する。

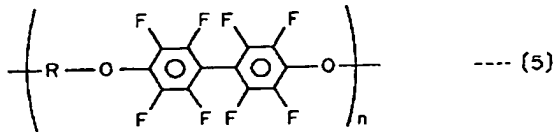
【0004】

【発明が解決しようとする課題】ところで、配線構造の多層化とともにパターンの微細化が進むことによって問題になるのが、配線容量の増大である。今後のデバイスにおいては、特に同一層（レイヤ）の配線間の容量の増大が、デバイスの動作速度の遅延を引き起こし、消費電力を増大させる等、デバイス特性を左右する大きな要因になり得る。そこで図8に示すように、フッ素を含むシリコン系酸化物（ SiOF ）や有機ポリマー等の低誘電体膜を配線間の絶縁膜に用いて配線間の容量の低減を図

【図3】



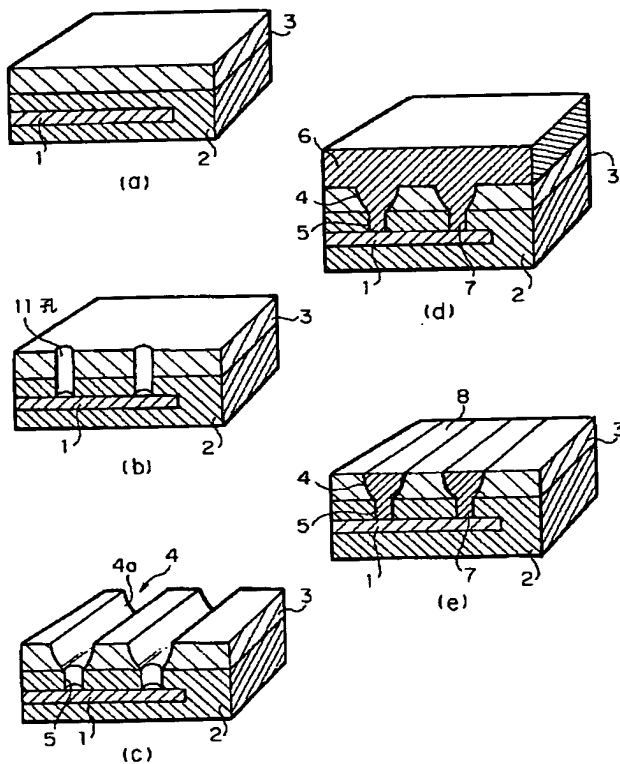
(式中、nは正の整数を表す)



(式中、Rはアルキル基、nは正の整数を表す)

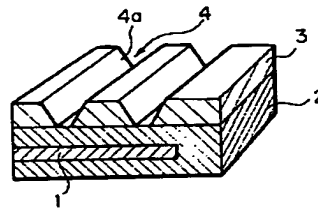
低誘電体膜の材料例を示す図(その2)

【図5】



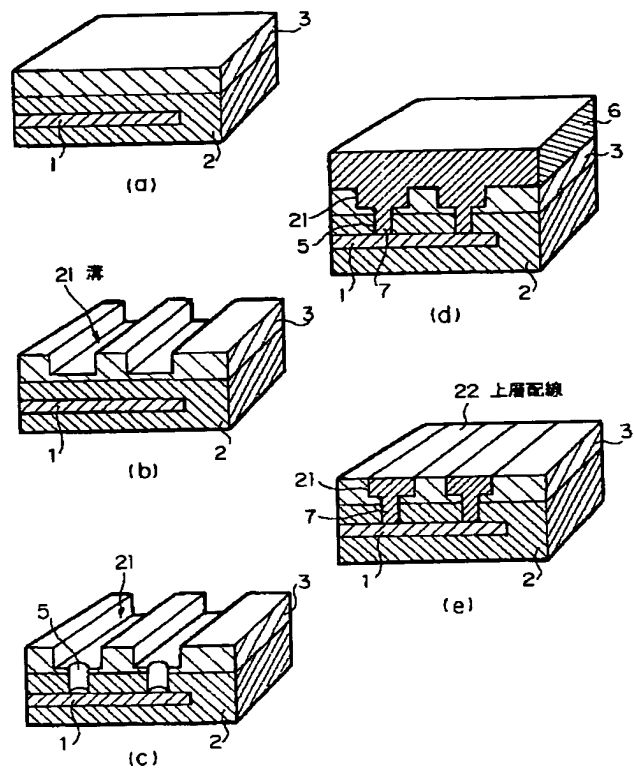
第2実施形態を工程順に示す説明図

【図4】



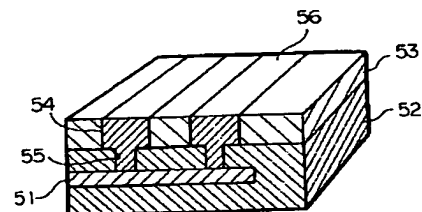
溝側面その他の形成例を示す図

【図6】



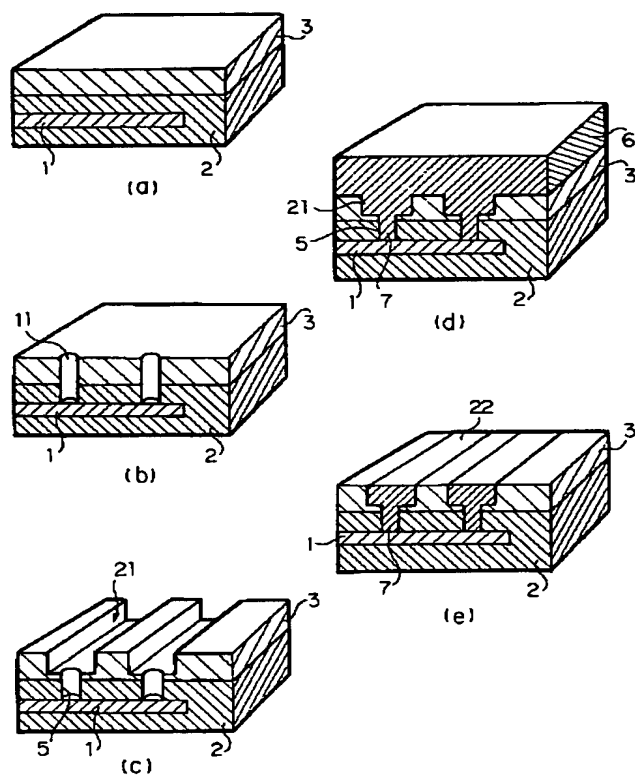
第3実施形態を工程順に示す説明図

【図8】



従来法の説明図

【図7】



第4実施形態を工程順に示す説明図